

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-206513**

(43)Date of publication of application : **13.08.1993**

(51)Int.Cl.

**H01L 33/00**

(21)Application number : **04-013393**

(71)Applicant : **SHARP CORP**

(22)Date of filing : **28.01.1992**

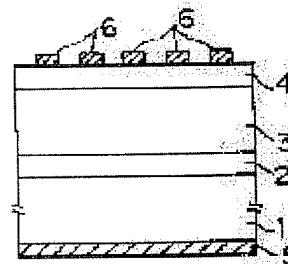
(72)Inventor : **KONDO MASAFUMI  
HOSOBANE HIROYUKI  
KANEIWA SHINJI  
YOSHIDA TOMOHIKO  
OBAYASHI TAKESHI  
HATA TOSHIO  
SUYAMA NAOHIRO**

## (54) SEMICONDUCTOR LIGHT-EMITTING ELEMENT

### (57)Abstract:

**PURPOSE:** To reduce the defect generated by lattice a distortion, to improve the coefficient of light emission, and to obtain a LED of low driving voltage by a method wherein an  $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x\text{N}$  layer is grown on a ZnO substrate or a SiC substrate through the intermediary of a buffer layer.

**CONSTITUTION:** In the semiconductor light-emitting element having a buffer layer 2 grown on a ZnO substrate or a SiC substrate 1 and  $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x\text{N}$  layers (0<x≤1, 0<y≤1) 3 and 4 grown on the above-mentioned buffer layer 2, the buffer layer 2 consists of a multilayer body formed by alternately growing an layer, an  $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x\text{N}$  layer and AlN layer, or the laminated body consisting of an AlN layer and the multilayer body.



### LEGAL STATUS

[Date of request for examination] 12.01.1996

[Date of sending the examiner's decision of rejection] 05.04.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3105981

[Date of registration] 01.09.2000

[Number of appeal against examiner's decision of rejection] 11-007132

[Date of requesting appeal against examiner's decision of rejection] 28.04.1999

[Date of extinction of right]

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-206513**  
(43)Date of publication of application : **13.08.1993**

(51)Int.Cl.

**H01L 33/00**

(21)Application number : **04-013393**

(71)Applicant : **SHARP CORP**

(22)Date of filing : **28.01.1992**

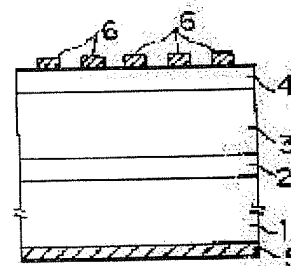
(72)Inventor : **KONDO MASAFUMI  
HOSOBANE HIROYUKI  
KANEIWA SHINJI  
YOSHIDA TOMOHIKO  
OBAYASHI TAKESHI  
HATA TOSHIO  
SUYAMA NAOHIRO**

## (54) SEMICONDUCTOR LIGHT-EMITTING ELEMENT

(57)Abstract:

**PURPOSE:** To reduce the defect generated by lattice a distortion, to improve the coefficient of light emission, and to obtain a LED of low driving voltage by a method wherein an  $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x\text{N}$  layer is grown on a ZnO substrate or a SiC substrate through the intermediary of a buffer layer.

**CONSTITUTION:** In the semiconductor light-emitting element having a buffer layer 2 grown on a ZnO substrate or a SiC substrate 1 and  $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x\text{N}$  layers (0<x≤1, 0<y≤1) 3 and 4 grown on the above-mentioned buffer layer 2, the buffer layer 2 consists of a multilayer body formed by alternately growing an layer, an  $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x\text{N}$  layer and AlN layer, or the laminated body consisting of an AlN layer and the multilayer body.



## LEGAL STATUS

[Date of request for examination] **12.01.1996**  
[Date of sending the examiner's decision of rejection] **05.04.1999**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3105981

[Date of registration]

01.09.2000

[Number of appeal against examiner's decision of rejection]

11-007132

[Date of requesting appeal against examiner's decision of rejection]

28.04.1999

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-206513

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 33/00

識別記号

庁内整理番号

A 8934-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 4(全 5 頁)

(21)出願番号 特願平4-13393

(22)出願日 平成4年(1992)1月28日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 近藤 雅文

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72)発明者 細羽 弘之

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72)発明者 兼岩 進治

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74)代理人 弁理士 山本 秀策

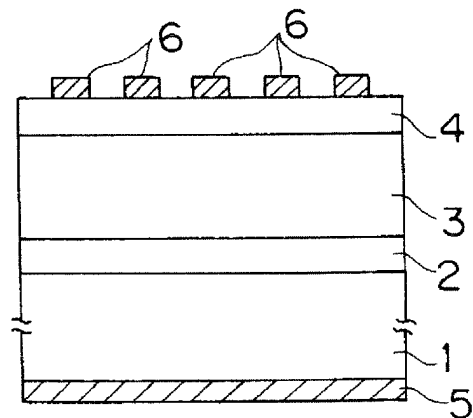
最終頁に続く

(54)【発明の名称】 半導体発光素子

(57)【要約】

【目的】 ZnO基板またはSiC基板上にバッファ層を介して $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x\text{N}$ 層(但し、 $0 < x \leq 1$ 、 $0 < y \leq 1$ )を成長することにより、格子歪による欠陥を減少させて発光率を向上させ、かつ駆動電圧の低いLEDを得る。

【構成】 ZnO基板またはSiC基板1上に成長されたバッファ層2と、このバッファ層2上に成長された $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x\text{N}$ 層(但し、 $0 < x \leq 1$ 、 $0 < y \leq 1$ )3、4と、を有する半導体発光素子。バッファ層2は、(a)AlN層、(b) $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x\text{N}$ 層とAlN層とが交互に成長されてなる多層体、または(c)AlN層と前記多層体との積層体である。



【特許請求の範囲】

【請求項1】 ZnO基板またはSiC基板上に成長されたバッファ層と、

該バッファ層上に成長された $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x$  N層（但し、 $0 < x \leq 1$ 、 $0 < y \leq 1$ ）と、を有する半導体発光素子。

【請求項2】 前記バッファ層がAlN層である、請求項1記載の半導体発光素子。

【請求項3】 前記バッファ層が $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x$  N層（但し、 $0 < x \leq 1$ 、 $0 < y \leq 1$ ）とAlN層とが交互に成長されてなる多層体である、請求項1記載の半導体発光素子。

【請求項4】 前記バッファ層がAlN層と請求項3記載の多層体との積層体である、請求項1記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はワイドギャップ半導体材料を使用した可視発光素子に関する。

【0002】

【従来の技術】 InGaAlN化合物半導体はワイドギャップ半導体であって、この化合物半導体は直接遷移型バンド構造を有することから、青色・緑色発光素子への応用が期待されている。特に、GaN化合物半導体の開発は盛んに行われており（例えば、Apply.Phys.Lett.48(5), p.353-355(1986)）、MOVPE（有機金属化合物気相成長法）、ガスソースMBE（分子線成長法）を用いて成長を行う試みがなされている。GaN化合物半導体のエネルギーギャップは約3.39eV、波長は約366nmであり、これは紫外光である。

【0003】 しかし、このGaNにII族元素をドーピングすると、青色エネルギー準位の発光中心が形成され青色LEDが実現する。また、GaNにInを添加して得られたInGaNはバンド端で青色・緑色発光が得られることから、高効率の可視LED及び可視LDが得られることが期待されている。更に上記GaN、InGaNのGaを一部あるいはすべてAlに置換すると格子定数の変化はほとんどなく、エネルギーギャップの増大、かつ屈折率低下を生じる。このInGaAlN層とGaN層あるいはInGaN層とのヘテロ接合は高効率LED及びLDの実現に必要な不可欠である。

【0004】

【発明が解決しようとする課題】 InGaAlN等の窒化化合物半導体の場合、V族元素の窒素の解離圧が極めて高いこと等から、このもので基板となる大型単結晶を作製することは困難である。更に、異種基板にも窒化化合物半導体と物性の近い基板が存在しないことから、従来ではサファイア基板が使用されてきた。

【0005】 図6にこのサファイア基板を用いた従来の半導体発光素子の断面を示す。半導体発光素子は、サフ

ファイア基板11、この基板11上に順次成長されたAlN層12、n-GaN層13、およびi-GaN層14を有している。図中15、16は電極である。

【0006】 しかし、このサファイア基板11を使用した場合には、GaN層との格子定数差が10%以上あるため格子歪による欠陥が発生し、その結果発光率が低下する。更にサファイア基板11は絶縁物であるため、図6に示すようにLEDの電極16は素子の端面から取り出す必要がある。この電極形成工程は複雑で歩留まり良く製作することは困難である。しかも駆動電圧が高くなるため電流をあまり流せない等の問題があった。

【0007】 本発明は上記問題点を鑑みてなされたものであり、ZnO基板またはSiC基板上にInGaAlN層を成長させることにより、製作が容易で、かつ高効率の半導体発光素子を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明の半導体発光素子は、 $\text{In}_{1-x}(\text{Ga}_y\text{Al}_{1-y})_x$  N層（但し、 $0 < x \leq 1$ 、 $0 < y \leq 1$ ）と格子定数差の小さいZnOまたはSiCを基板として使用し、該基板とInGaAlN層との間にAlNバッファ層、またはAlN層とInGaAlN層とが交互に成長されてなるバッファ層を設けることを特徴とする。

【0009】

【作用】 ZnOまたはSiCの半導体基板を使用することにより、基板の裏面全面に電極を取り付けることが可能となるために電極形成工程が非常に簡単となり歩留が向上する。また、電極面積が広がるので駆動電圧の低いLEDが実現する。

【0010】 更にGaN層に対するサファイア基板の格子定数差（ $\Delta a/a$ ）は13%を超えるが、GaN層に対するSiC基板、ZnO基板の格子定数差（ $\Delta a/a$ ）は2~3%と小さいため、格子歪に共なる格子欠陥ビット（穴）、クラック（ひび割れ）が低減される。

【0011】 特に、該基板とInGaAlN層との間に、AlNのバッファ層またはAlN層/InGaAlN層の多層構造を有するバッファ層を配設すると、バッファ層は基板とInGaAlN層間の格子歪を更に緩和し、基板の結晶学的特性を伝達し、かつInGaAlN層と基板との濡れ性をよくしてInGaAlN層が結晶性良くなめらかに成長するのを助ける役割を果たす。これにより欠陥の少ない高効率の可視LEDが実現できる。

【0012】

【実施例】 以下、本発明の実施例を図面を参照して説明する。

【0013】 図1に示すように、n型ZnO基板1またはn型SiC基板1の（0001）面上に、AlNバッファ層2が成長され、このバッファ層2上にアンドープn-InGaN層3が成長され、この層3上にZnドー

ブ $i$ -InGa $N$ 層4が成長されている。基板1としてZnO基板を使用する場合は $n$ 型電極In5が基板1の裏面に蒸着され、SiC基板1を使用する場合は $n$ 型電極Ni/Au5が基板1の裏面に蒸着される。また、上記 $i$ -InGa $N$ 層4にAl電極6が蒸着される。各層の膜厚は任意であり、例えば、バッファ層2は500オングストロームとすることができ、アンドープ $n$ -InGa $N$ 層3は3 $\mu$ mとすることができる。また、Znドープ $i$ -InGa $N$ 層4は0.3 $\mu$ mとすることができる。

【0014】次に、本発明の半導体発光素子の製造法の一例を説明する。

【0015】InGaAl $N$ 層3、4の成長には、公知のMOCVD法、ガスソースMBE法を使用することができる。

【0016】Gaソースとしては、トリメチルガリウム(TMG)またはトリエチルガリウム(TEG)を使用することができる。Alソースとしては、トリメチルアルミニウム(TMA)またはトリエチルアルミニウム(TEA)を使用することができる。Inソースとして、トリメチルインジウム(TMI)またはトリエチルインジウム(TEI)を使用することができる。V族ソースとしては、アンモニア(NH<sub>3</sub>)を使用することができ、不純物原料にはジエチルジンク(DEZ)を使用することができる。

【0017】図1に示したように、 $n$ 型ZnO基板1または $n$ 型SiC基板1の(0001)面上に、成長時の基板温度600℃で、500オングストロームのAl $N$ バッファ層2、成長時の基板温度800~1000℃で、3 $\mu$ mのアンドープ $n$ -InGa $N$ 層3、0.3 $\mu$ mのZnドープ $i$ -InGa $N$ 層4をそれぞれ成長させる。次いでZnO基板1を使用する場合は、 $n$ 型電極In5を基板1に蒸着し、SiC基板1を使用する場合は、 $n$ 型電極Ni/Au5を基板1に蒸着する。

【0018】一方、 $i$ -InGa $N$ 層4に、直径500 $\mu$ mのAl電極6を蒸着する。次いで、ダイシング、劈開によりLEDチップに分割する。

【0019】上記実施例ではAl $N$ バッファ層2を用いたが、本発明の発光素子に使用されるバッファ層の構成はこれに限定されず、例えば、図2~図4に示す構成とすることができる。

【0020】図2に示した化合物半導体発光素子のバッファ層20は、20オングストロームのAl $N$ 層21と20オングストロームのInGa $N$ 層22とを交互に積層してなる多層体(150周期)であり、図3に示した発光素子のバッファ層30は、20オングストロームのAl $N$ 層31、20オングストロームのInGa $N$ 層32、20オングストロームのAl $N$ 層31、40オングストロームのInGa $N$ 層33、20オングストロームのAl $N$ 層31、60オングストロームのInGa $N$ 層

34、・・・・・・、20オングストロームのAl $N$ 層31、200オングストロームのInGa $N$ 層35、20オングストロームのAl $N$ 層31というように、Al $N$ 層とInGa $N$ 層とを不規則に積層してなる多層体である。

【0021】図4に示した発光素子のバッファ層40は、Al $N$ 層41と、Al $N$ 層42/InGa $N$ 層43の多層体との、積層体である。

【0022】尚、上記各実施例では発光層及び多層構造中にInGa $N$ を用いたが、Ga $N$ またはInGaAl $N$ でも良い。すなわち、In<sub>1-x</sub>(Ga<sub>y</sub>Al<sub>1-y</sub>)<sub>x</sub> $N$ 層において、 $0 < x \leq 1$ 、 $0 < y \leq 1$ の条件を満たすものであり、 $0 < x < 1$ 、かつ $0 < y < 1$ のとき、InGaAl $N$ となり、 $x = 1$ 、かつ $0 < y < 1$ のときGaAl $N$ となり、 $y = 1$ 、かつ $0 < x \leq 1$ のときInGa $N$ となり、 $x = 1$ 、かつ $y = 1$ のときGa $N$ となる。

【0023】上記のように、本実施例で作製されたLEDは、半導体基板1裏面全面で電極6を取ることができ、工程が容易で歩留りが良い。

【0024】次に、図5に上記第1実施例によって得られた(図1で説明した)LEDと、従来のサファイア基板上に $m-i-n$ 構造(電極、 $i$ -Ga $N$ 層、 $n$ -Ga $N$ 層)を有する(図6で説明した)LEDのI-V特性を示す。図5において、(a)は第1実施例で得られたLEDのI-V特性を示し、(b)は従来例で得られたLEDのI-V特性を示す。

【0025】第1実施例で得られたLEDでは、立ち上がり電圧は5Vであり、これは従来例の7.5Vに比べ大幅に低減されていた。更に10mA時の外部量子効率も0.2%であり、従来例の0.1%に比べ大幅に増大した。これらのことは、本実施例によるLEDは、格子歪から生じる格子欠陥が著しく低減したことを示している。

【0026】

【発明の効果】本発明によれば、ZnO基板またはSiC基板上にバッファ層を介してIn<sub>1-x</sub>(Ga<sub>y</sub>Al<sub>1-y</sub>)<sub>x</sub> $N$ 層を成長させているので、格子定数差を従来のサファイア基板を使用した場合に比べて小さくすることができ、格子歪による欠陥を減少させることができ、発光率を向上させることができる。更に、上記ZnO基板またはSiC基板の裏面全面からLEDの電極を取り出すことができるから、電極形成工程が容易となり歩留が向上する。また、電極面積が広くなるので、駆動電圧の低いLEDが実現する。

【0027】特に、基板とInGaAl $N$ 層との間に、Al $N$ 層のバッファ層またはAl $N$ 層/InGaAl $N$ 層の多層構造を有するバッファ層を配設することにより、このバッファ層で基板とInGaAl $N$ 層間の格子歪を更に緩和することができ、基板の結晶学的特性を伝達し、かつInGaAl $N$ 層と基板との濡れ性をよくし

てInGaAlN層が結晶性良くなめらかに成長するのを助ける役割を果たす。これにより欠陥の少ない高効率の可視LEDが実現できる。

【図面の簡単な説明】

【図1】本発明の第1実施例である半導体発光素子の断面図である。

【図2】本発明の第2実施例である半導体発光素子の断面図である。

【図3】本発明の第3実施例である半導体発光素子の断面図である。

【図4】本発明の第4実施例である半導体発光素子の断\*

\* 面図である。

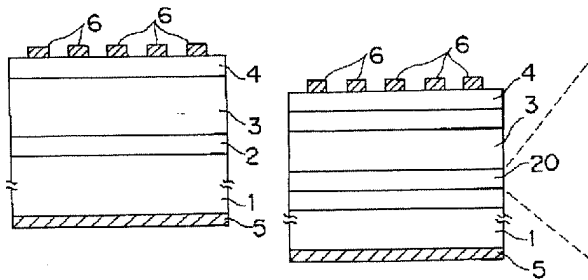
【図5】実施例で得られた半導体発光素子と従来例の半導体発光素子のI-V特性を示す図である。

【図6】従来例の半導体発光素子の断面図である。

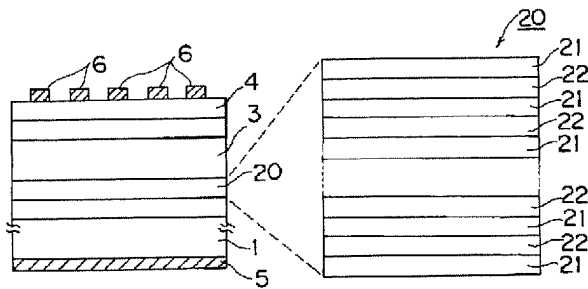
【符号の説明】

- |    |                   |
|----|-------------------|
| 1  | n型ZnO基板またはn型SiC基板 |
| 2  | 格子歪緩和バッファ層        |
| 3  | アンドープn-InGaN層     |
| 4  | Znドープi-InGaN層     |
| 10 | 5 n型電極            |
| 6  | Al電極              |

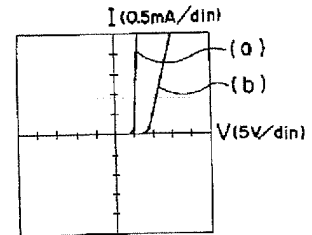
【図1】



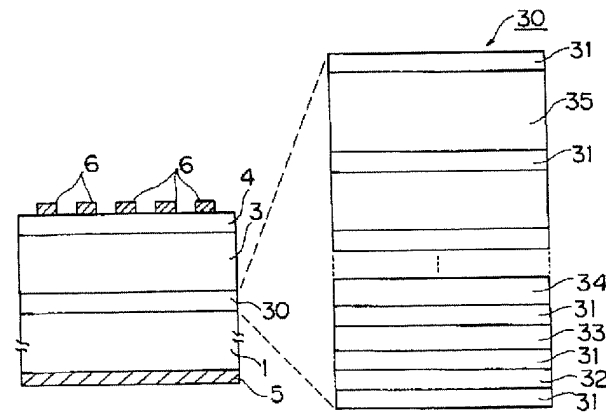
【図2】



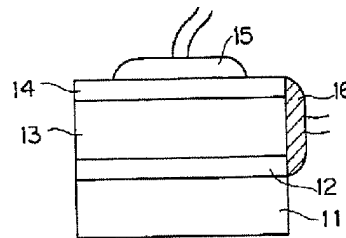
【図5】



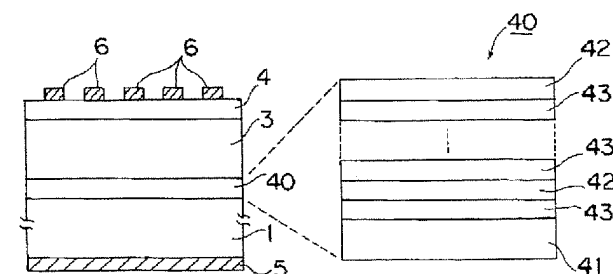
【図3】



【図6】



【図4】





フロントページの続き

(72)発明者 ▲吉▼田 智彦

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 大林 健

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 幡 俊雄

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 須山 尚宏

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内